

УДК: 612.117.5

ISSN 1729-4428 (Print)
ISSN 2309-8589 (Online)

Т.Г. Бенько, В.С. Мамроха

Принцип розроблення програмованого багаточастотного генератора на КМОН транзисторах в середовищі LT SPICE

Карпатський національний університет імені Василя Стефаника, м. Івано-Франківськ, Україна, taras.benko@pnu.edu.ua

В роботі розглянуто принцип роботи кільцевого генератора та спосіб його реалізації на логічних елементах з метою покращення його роботи за допомогою симуляції та спробі досягнути оптимальних характеристик. Також було запропоновано особливості реалізації кільцевого генератора у середовищі LTSpice за використання таких компонент як подільник частоти, генератор частоти та контролер частоти.

В роботі було проведено дослідження роботи подільника частоти з використанням п'яти тригерів D-типу, звідки було отримали шість різних частот (п'ять тригерів і одна частота на виході генератора). За допомогою інструментів LTSpice було здійснено побудову часових діаграм частот і змогли переконались у очікуваних результатах. Останнім кроком була побудова програмованого генератора та створення контролера для задання бажаної частоти на виході пристрою.

Ключові слова: КМОН-транзистор, кільцевий генератор, логічний елемент, контролер частоти, сигнал.

Подано до редакції 09.03.2025; прийнято до друку 22.09.2025.

Вступ

На даний час бурхливий розвиток електроніки та інформаційних технологій викликає появу нових засобів для досліджень кільцевих генераторів на КМОН транзисторах та способи їх розроблення у програмних середовищах. Кільцеві генератори - це пристрої для створення сигналу потрібної форми, частоти та амплітуди. Від відповідності характеристик сигналу до вимог, залежатиме швидкодія та достовірність роботи пристрою. Усі електронні пристрої залежать від правильності роботи генератора, адже він визначає темп роботи пристрою. У роботі йтиметься про принцип роботи кільцевого генератора та спосіб його реалізації, дослідження його роботи за допомогою симуляції та спробі досягнути оптимальних характеристик. Буде розглянуто особливості реалізації кільцевого генератора у середовищі LTSpice за використання таких компонент як подільник частоти, генератор частоти та кодувальник частоти.

В цілому аналіз літературних джерел та стану проблеми показав актуальність даної тематики та

необхідність подальших науково-прикладних досліджень для вдосконалення проектування та розроблення кільцевих генераторів на КМОН транзисторах.

I. Кільцевий генератор на логічних елементах НЕ

Для побудови кільцевого генератора потрібні послідовно з'єднані інвертори, які наявні в стандартній бібліотеці LTSpice. Стандартний інвертор має контакти вхідної напруги, вихідної напруги та контролю, який можна використовувати задля зміни режиму роботи інвертора в залежності від рівня напруги, що поступає на нього[1]. По-замовчуванню, вхід режиму роботи буде заземлений. Серед параметрів для інвертора є логічний високий рівень та низький, $V_{high} = 1$ та $V_{low} = 0$ відповідно, час зростання та спадання сигналу, $T_{rise}=0$ та $T_{fall}=T_{rise}$ відповідно, вихідна часова константа RC τ , вихідна ємність та імпеданс, $C_{out} = 0$ та $R_{out} = 1$ відповідно.

На Рисунок 1. зображені послідовно з'єднані

інвертори з бібліотеки LTSpice реалізують кільцевий генератор. У цій схемі параметр затримки в часі інвертора заданий в 1нс.

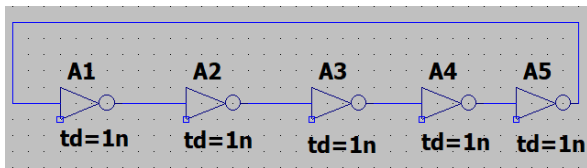


Рис. 1. Послідовно з'єднані інвертори у середовищі LTSpice.

З діаграми значень напруги за часом на Рисунку 2. можна визначити період сигналу, утворений інверторами, що дорівнює 4нс. Звідси, якщо частота сигналу f

$$f = \frac{1}{T} f = \frac{1}{T}$$

тоді, підставивши значення періоду, отримаємо частоту

$$f = \frac{1}{T} = \frac{1}{4ns} = \frac{1}{4 \cdot 10^{-9}} = 4 \cdot 10^9 = 4GHz$$

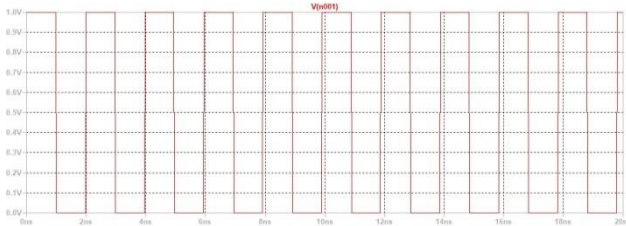


Рис. 2. Часова діаграма сигналу кільцевого генератора.

На Рисунку 3. зображений розроблений інвертор на основі МОН транзисторів р- та п-типів, що представляє з себе КМОН транзистор[2-3]. До джерела і підкладки МОН транзистора р-типу під'єднане джерело постійної напруги номіналом в 1В. Значення параметру довжини обох транзисторів дорівнюють 50nm. Затвори обох транзисторів об'єднані до контакту IN для подальшого під'єднання у схемі. Контакт OUT під'єднаний до витоку транзистора р-типу і стоку транзистора п-типу.

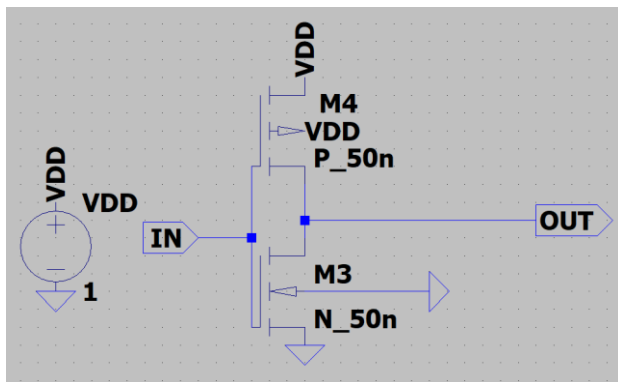


Рис. 3. Схема КМОН інвертора.

Можна представити цю схему інвертора за допомогою власного компонента, який

функціонально не буде відрізнятися від наведеного вище. На Рисунку 4 представлено вигляд компонента створеного на основі цієї схеми.

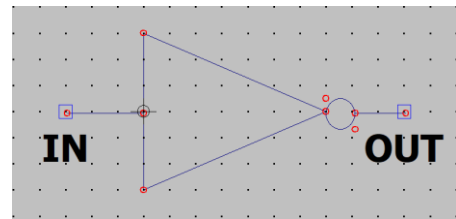


Рис. 4. Розроблений інвертор на основі КМОН транзистора.

На Рисунку 5. зображено схему послідовно під'єднаних інверторів, що реалізують кільцевий генератор, але цього разу на основі розробленого компонента інвертора.

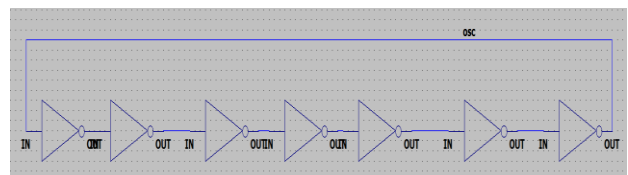


Рис. 5. Схема кільцевого генератора.

На рисунку 6 наведено діаграму залежності значень напруги від часу, з якого видно різницю між генератором на основі ідеалізованих інверторів та інверторами на КМОН-транзисторі з встановленими фізичними параметрами[4]. Тепер сигнал генератора більше відповідає електричним процесам в компонентах. Наприклад викид заряду, який відбувається після повного зарядження або розрядження зарядом ємності між матеріалами різного типу в транзисторах.

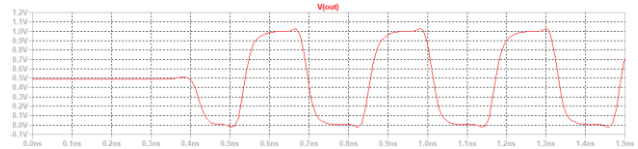


Рис. 6. Часова діаграма сигналу на виході генератора.

На основі цього генератора створимо компонент OSCILLATOR, щоб абстрагуватись від реалізації для подальшого використання у інших схемах. На Рисунку 7 зображено вигляд компонента генератора з єдиним виходом OUT, який є виходом сигналу максимальної частоти. У подальшому, для зміни параметри інверторів у схемі.

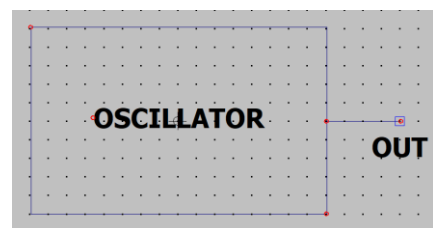


Рис. 7. Розроблений компонент генератора.

II. Спосіб реалізації подільника частоти

Частота визначається, як кількість коливань сигналу за одиницю часу, тобто основним параметром для маніпуляцій зі значенням частоти буде час. У побудові кільцевого генератора головним фактором, що дозволяє змінити постійне значення напруги на змінне періодичне є затримка в часі, що виникає через перемикальні характеристики транзисторів. Схожим принципом можна скористатись і для побудови подільника частоти[5].

Найбільш відомим способом реалізації подільника частоти є послідовно з'єднані тригери D-типу, що будуються на основі логічних елементів. Назва цього виду тригера походить від першої літери англійського слова *delay*, тобто затримка, адже вихідне значення змінюється тільки при надходженні на його вхід повторного високого рівня напруги (для додатньої логіки). Тобто, при надходженні періодичного сигналу, на кожні два високі рівня напруги припадає один високий рівень напруги на виході. Іншими словами, частота вихідного сигналу тригера є половина від вхідної частоти.

Оскільки вихідний сигнал з тригера є тим самим, що й вхідний сигнал, але модульований за частотою, він може використовуватись як вхідний сигнал для іншого тригера D-типу[8-9]. До прикладу, якщо два тригера з'єднані послідовно, вхідна частота f_{in} надійде до першого тригера на виході якого з'явиться сигнал з частотою f_1 , яка буде дорівнювати половині вхідної частоти f_{in} . Після цього сигнал з частотою f_1 надійде на вхід другого тригера, на виході якого з'явиться сигнал з частотою $f_1/2$ або $f_{in}/4$.

Для легших розрахунків візьмемо вхідну частоту рівною 2 в степені, наприклад, 10, що дорівнює 1024 і побудуємо таблицю значень функції $f_{out}(n)$, де n – кількість послідовно з'єднаних тригерів D-типу.

На рисунку зображено тригер D-типу який надає LTSpice зі стандартної бібліотеки компонентів. Для роботи потрібні тільки вхід D, на який подається сигнал встановлення стану, вхід CLK, на який подається контролюючий періодичний сигнал, вихід Q, з якого знімається вихідний стан затримки та вихід -Q, що представляє інвертований вихід Q[11].

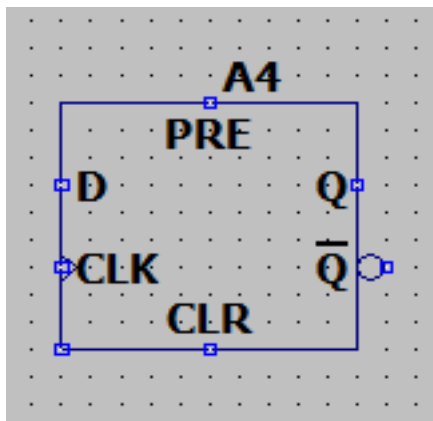


Рис. 8. Тригер D-типу з бібліотеки LTSpice.

Схема послідовно з'єднаних тригерів D-типу наведена на рисунку 9. Серед можливих способів дослідження, LTSpice надає можливість проводити аналіз передавальних властивостей. В цій схемі аналіз відбувається впродовж 32нс, щоб вихідні частоти тригерів дорівнювали 2 в деякому степені[12]. Резистори R1-R4 додані в схему, адже середовище дозволяє знімати значення спаду напруги на елементах. На часові характеристики ці опори не впливають.

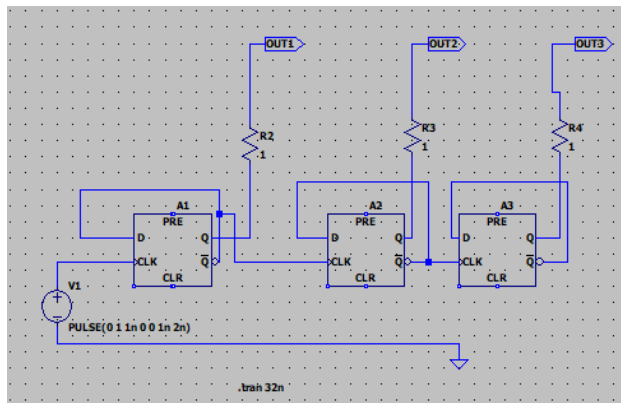


Рис. 9. Подільник частоти.

На Рисунках 10-13 наведені часові діаграми зняті з виходів тригерів. З діаграм видно як змінюється частота сигналу після проходження кожного тригера. Варто зауважити, що діаграми є ідеалізованими для дослідження, де спотворення шумами нехтують.

Тепер, коли переконались, що схема подільника працює для ідеалізованого сигналу, можна використати розроблений компонент генератора. На Рисунку 14. наведено схему, яка використовувалась вище, але тепер в ролі генератора сигналу буде використовуватись компонент який був нами розроблений.

Нижні екстремуми сигналу знаходяться на відстані 3354 нс, що дорівнює періоду сигналу. Частота цього сигналу дорівнює 2.981ГГц.

На Рисунку 15. зображена часова діаграма частоти сигналу. Зеленим кольором позначено вхідний сигнал, а синім вихідний сигнал з першого тригера. З діаграми видно, що вихідний сигнал тригера має вдвічі довший період, або вдвічі меншу частоту.

На рисунках 15-20 наведені часові діграми частот наступних тригерів, з яких видно як з кожним тригером частота сигналу зменшується вдвічі. Так реалізовано подільник частоти з розробленим генератором, що подає вхідний сигнал.

Таким чином, було проведено дослідження роботи подільника частоти з використанням п'яти тригерів D-типу, звідки отримали шість різних частот (п'ять тригерів і одна частота на виході генератора). За допомогою інструментів LTSpice побудували часові діаграми частот і змогли переконатись у очікуваних результатах. Останнім кроком у побудові програмованого генератора буде створення контролера для задання бажаної частоти на виході пристрою.

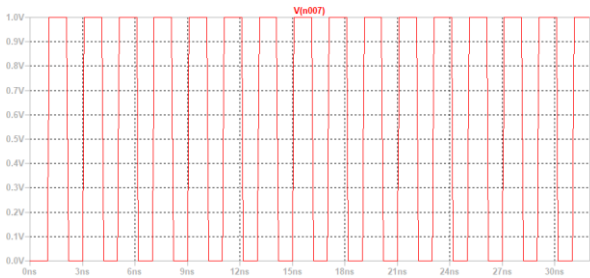


Рис. 10. Оригінальний сигнал.

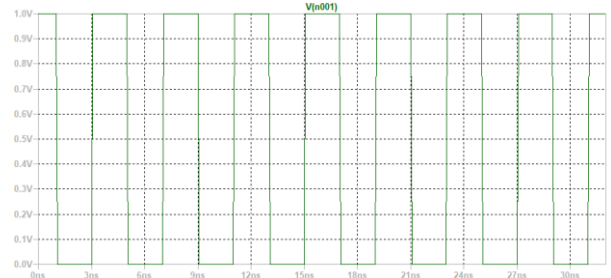


Рис. 11. Сигнал з частотою оригінальна/2.

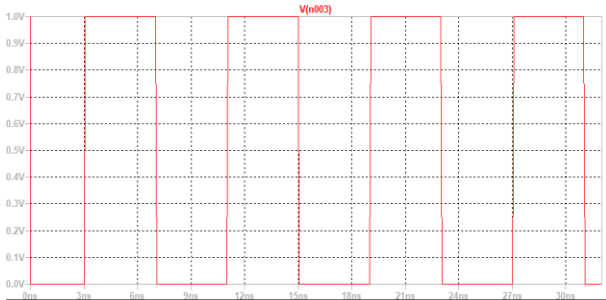


Рис. 12. Сигнал з частотою оригінальна/4.

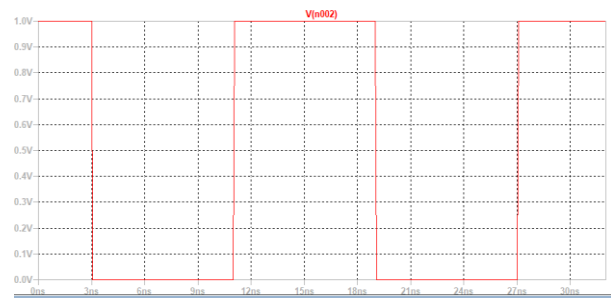


Рис. 13. Сигнал з частотою оригінальна /8.

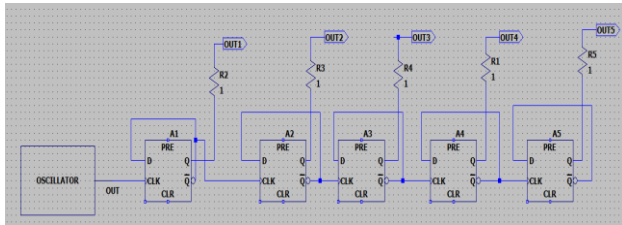


Рис. 14. Схема подільника частоти сигналу з компонента генератора.



Рис. 15. Часова діаграма частоти вхідного сигналу.

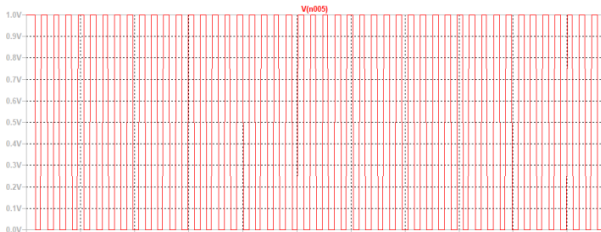


Рис. 16. Часова діаграма першого тригера з частотою 1,47 ГГц.

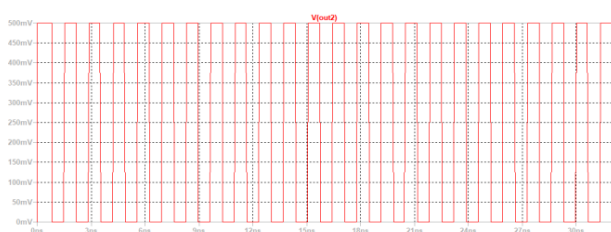


Рис. 17. Часова діаграма другого тригера з частотою 670 МГц.

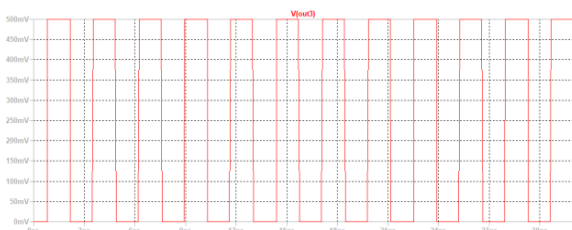


Рис. 18. Часова діаграма на виході третього тригера з частотою 369 МГц..

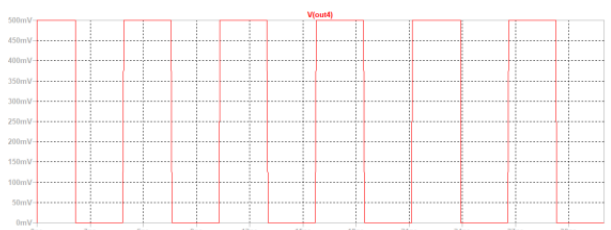


Рис. 19. Часова діаграма на виході четвертого тригера з частотою 184 МГц.

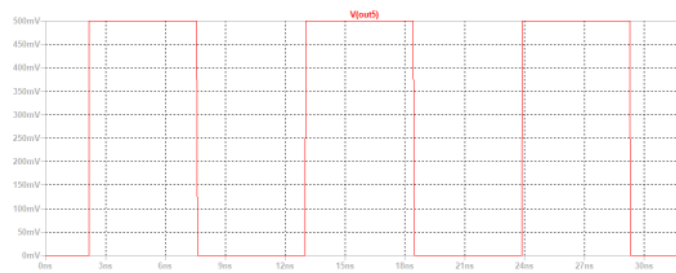


Рис. 20. Часова діаграма на виході п'ятого тригера з частотою 92 МГц.

III. Контролер частоти

Вихідне значення частоти кільцевого генератора є максимально можливим для нього. Для довільного значення частоти на виході кільцевого генератора, введемо позначення $f_{\max}$. Значення частоти буде здебільшого визначатись параметрами електричних компонентів у генераторі, такі як фізичні розміри, що впливають на ємності та напруги, і кількістю інверторів. Досягнення максимально можливого значення частоти не є завданням контролера, адже це відповідальність виробників, які самі реалізують цільові вимоги до продукту. Завданням контролера буде зміна вихідної частоти до тієї, що буде визначатись вхідними сигналами, які задає користувач програмованим способом. Оскільки проміжне значення частоти між контактами тригерів у подільнику частоти є різним, але детермінованим, це можна використати для виведення сигналу з певною частотою на виході тригера на вихід пристрою. Звідси маємо можливість зміни вихідної частоти шляхом під'єднання виходу генератора до контакту між тригерами. (Рис.21).

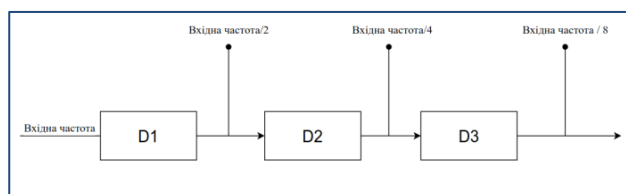


Рис. 21. Логічна структура подільника частоти на тригерах D типу.

Звичайним способом для зміни вихідного сигналу буде використання транзисторних ключів[13], керовані сигналом, що подається на керуючий контакт. Оскільки час є ключовим параметром, перевага буде надана польовим транзисторам, адже біполярні транзистори використовуються в здебільшого підсилювачах, де швидкодія не займає ключове місце. Крім того, хоч процес виготовлення інтегральної схеми не обговорюється в цій роботі, варто зауважити, що використання МОН-транзисторів дозволить об'єднати технологічний процес створення в єдиний.

На рисунку 22 наведений приклад підключення дешифратора до контактів під'єднаних від тригерів D1-D4 до виходу. Вхідний сигнал, що підключений напругу до виходу керується виходом дешифратора Y0.

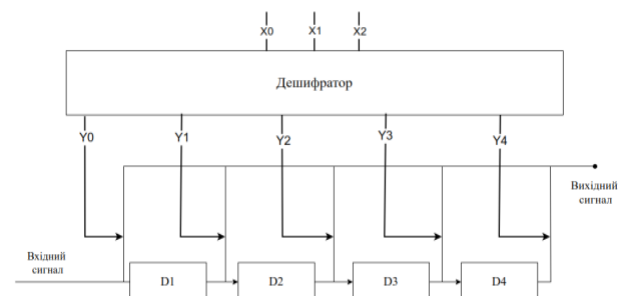


Рис. 22. Підключення дешифратора до виходів тригерів у подільнику частоти.

Оскільки у цій роботі подільник частоти буде складатись з 5 тригерів, дешифратор[14] повинен бути 3-розрядним, адже 2-розрядний дешифратор може мати максимум 4 виходи. У 3-розрядного дешифратора кількість виходів дорівнює 8, а кількість виходів з подільника частоти дорівнює 6 (5 тригерів і один вихід початкової частоти). Два зайві виходи можна просто відкинути.

На рисунку 23 зображена реалізована схема дешифратора з трьома входами та шістьма виходами.

За допомогою інструмента LTSpice було розроблено компонент дешифратора 3 на 6. На рисунку 24 наведено умовне позначення дешифратора.

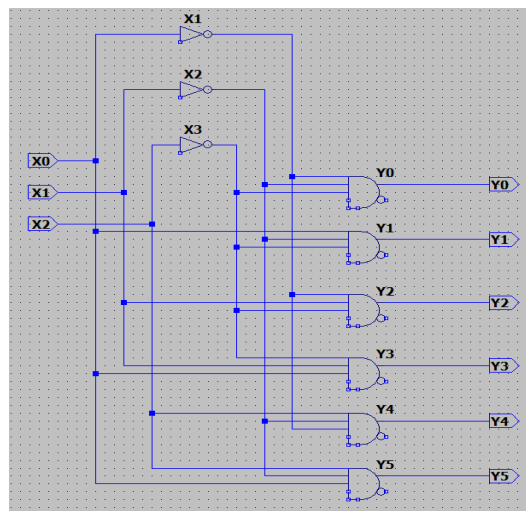


Рис. 23. 3-розрядний дешифратор із шістьма виходами.

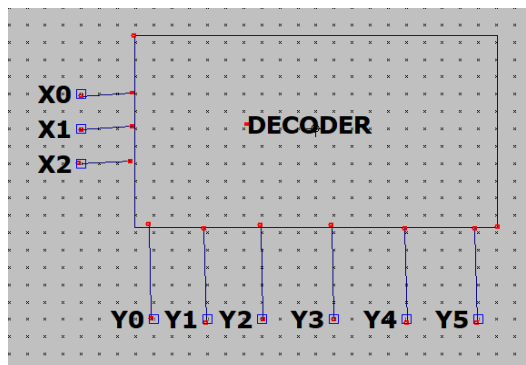


Рис. 24. Умовне позначення розробленого дешифратора.

IV. Обговорення результатів та перспективи розвитку методу

Параметри ширини W та довжини L каналу провідності є ключовими для подальших розрахунків. Підкладка та оксидний шар транзистора мають властивості конденсатора, зокрема час заряджання та розряджання, що й буде визначати часові та частотні значення сигналу. Значення ширини є спільним для стоку, витоку та затвору. Звідси впливає, що площа затвору й визначатиме час заряджання та розряджання.

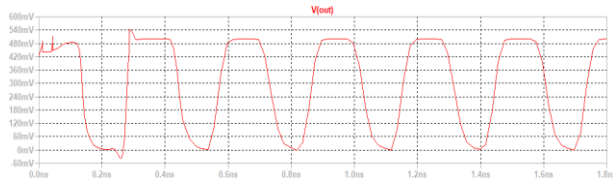


Рис. 25. Діаграма сигналу.

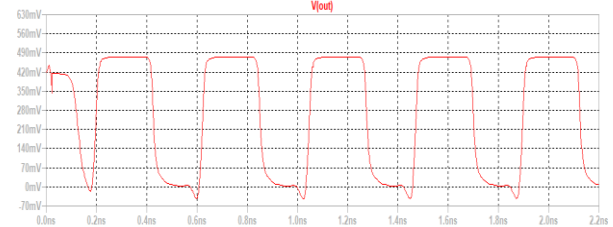


Рис. 27. Діаграма сигналу.

Збільшення значення ширини збільшує кількість носіїв заряду, тобто струм через підкладку. Зменшення довжини каналу, тобто провідника, також збільшує струм, але при достатньо малому значенню довжини, виникає ризик появи ефекту корот-кого каналу, коли через зменшення відстані між стоком та витоком збільшується напруженість поля під затвором, і відповідно зниження порогової напруги.

Також було досліджено що при заданих значеннях для МОН-транзистора n-типу довжини 50п та ширини 500п, а для р-типу параметри 50п та 1μ відповідно отримуємо діаграму частоти наведеної на рисунку. Видно, що час спаду та зростання сигналу є достатньо великим, щоб згладжувати криву.

Для експерименту спробували задати значення довжини кожного з транзисторів вдвічі більшим. На рисунку наведено діаграму симуляції з новими значеннями параметрів. Видно, як при заряджанні ємності транзистора, значення напруги швидко зростає, при цьому відбувається моментний викид. Далі значення напруги залишається на своєму максимальному значенні, поки не відбувається зміна полярності напруги. Поки наблизились до бажаної поведінки при заряджанні транзистора потрібно спробувати таке значення відношення параметрів, щоб тривалість заднього фронту була мінімальною, навіть з можливим викидом.

Наступна спроба була з параметрами МОН-транзистора р-типу шириною 60п та довжиною 6μ, а для n-типу 50п та 3μ відповідно. З рисунку видно, що сигнал має тривалість високого та низького рівнів сигналу ближчими до рівних з меншим часом спаду та відносно малим приростом до тривалості переднього фронту. Крім того частота сигналу зросла з .3нс до .4нс, що можна назвати компромісом при підборі параметрів транзистора.

При спробі змінити напругу між стоком та

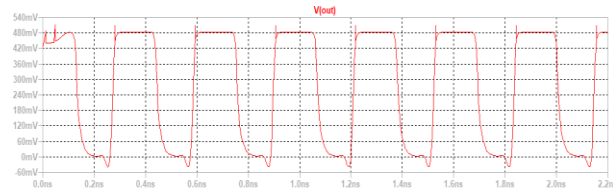


Рис. 26. Діаграма сигналу.

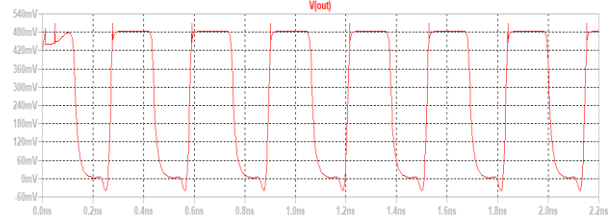


Рис. 28. Діаграма сигналу генератора з оптимальними параметрами.

затвором більшою, зменшилась частота сигналу, що є небажаною зміною.

Поки, оптимальним рішенням для задання ширини та довжини транзистора залишаються 50п та 3μ для р-типу та 50п та 1.5μ для n-типу (Рисунок 28).

Висновки

У цій роботі було розглянуто принцип дії кільцевого генератора. Також розкрито основні особливості побудови цього пристрою у середовищі LTSpice і методи дослідження у ньому.

За допомогою тригерів D-типу був реалізований спосіб подільника частоти. Цей спосіб дозволив одержати нам значення частот кратних максимальній вихідній частоті. Будемо очікувати на нові способи реалізації подільника частоти, який дасть змогу модулювати сигнал за частотою з меншим кроком поділу.

За для програмування значення вихідної частоти був реалізований дешифратор, що дозволило обійтися без комплексної системи, тобто швидкість відповіді пристрою на зміну в заданому коді частоти залишилась оптимальною.

У даній роботі, змогли дослідити кінцеву схему генератора з програмованим керуванням вихідної частоти на основі подільника частоти. Крім того, розглянули залежність частоти від фізичних розмірів транзисторів, звідки побачили, як критично впливають ці параметри на роботу генератора.

Бенько Т.Г. – доктор філософії, асистент кафедри комп'ютерної інженерії та електроніки;
Мамроха В.С. – студент.

- [1] A. Druzhinin, I. Ostrovskii, Yu. Khoverko, S. Nichkalo, I. Kogut, *Impedance spectroscopy of polysilicon in SOI structures*, Physica Status Solidi (C) Current Topics in Solid State Physics, 156 (2014).
- [2] A.O. Druzhinin, V.I. Holota, I.T. Kogut, *The device-technological simulation of the local three-dimensional SOI-structures for microsystem applications*, Fifth Workshop of the Thematic Network on Silicon-On-Insulator, Technology, Devices and Circuits (EUROSIO-2009) Conf. Proc. – Goteborg, Sweden, 103 (2009).

- [3] I.T. Kogut, V.V. Dovhij, V.I. Holota, *Schematic and topological elements optimization of transfer signals circuits for analytical Microsystems-on-Chip*, Materials of ICPTTFN–XV International conference “Physics and technology of thin films and nanosystems”. – Ivano-Frankivsk: Vasyl Stefanyk Precarpathian National University, 307(2015).
- [4] P.W. Tuinenga, *A guide to Circuit Simulation & Analysis PSpice*, NJ: Prentice Hall, Englewood Cliffs, 217. (1993).
- [5] T. Akino, T. Hamahata, *Clock Generator Driven by a Unified-CBiCMOS Buffer Driver for High Speed and Low Energy Operation*, 16th International Workshop, PATMOS 2006. – France, 225(2006).
- [6] I. Sutherland, B. Sproull, D. Harris, *Logical Effort - Designing Fast CMOS Circuits*, Morgan Kaufmann Publishers. (1999).
- [7] P.K. Katsivelis, G.P. Fotis, I.F. Gonos, T.G. Koussioris, I.A. Stathopoulos, *Electrostatic Discharge Current Linear Approach and Circuit Design Method*. Energies, 3(11), 1728(2010); <https://doi.org/10.3390/en3111728>.
- [8] G.P. Fotis, I.F. Gonos, D.P. Iracleous, I.A. Stathopoulos, *Mathematical analysis and simulation for the Electrostatic Discharge (ESD) according to the EN 61000-4-2*. IEEE Xplore, (2004).
- [9] E.P. Wiechmann, R.P. Burgos, J. Holtz. Active front-end converter for medium-voltage current-source drives using sequential-sampling synchronous space-vector modulation, IEEE Transactions on Industrial Electronics., 50(6), 1275(2003); <https://doi.org/10.1109/TIE.2003.819692>.
- [10] I.T. Kogut V.V. Dovhij, *Layouts features of SOI CMOS gate matrix arrays*, Materials of ICTTFN–XIII “International conference “Physics and technology of thin films and nanosystems”. – Ivano-Frankivsk: Vasyl Stefanyk Precarpathian National University, 2, 275 (2011).
- [11] Taras Benko, Igor Kohut, Volodymyr Hryha, Oksana Dolishniak. *Recursive devices of binary data sorting devices*, XI International Scientific Conference „Functional base of nanoelectronics” (2020).
- [12] T. Akino, K. Matsuura, A. Yasunaga, *A high-speed domino CMOS full adder driven by a new unified-BiCMOS inverter*, Proceedings of ISCAS’2005, 452 (2005); <https://doi.org/10.1109/ISCAS.2005.1464622>.
- [13] John Damiano Jr., *Active body bias for low-power silicon-on-insulator design*, A dissertation submitted to the Graduate Faculty of North Carolina State University in partial fulfilment of the requirements for the Degree of Doctor of Philosophy. (2006).
- [14] A. Bellaouar, *Low-power digital VLSI design. Circuits and systems* (Boston: Kluwer Academic Publishers, 530, 1996).

T.G. Benko, V.S. Mamroha

The principle of developing a programmable multi-frequency oscillator based on CMOS transistors in the LT SPICE environment

Vasyl Stefanyk Carpathian National University, Ivano-Frankivsk, Ukraine, taras.benko@pnu.edu.ua

The paper examines the principle of operation of a ring oscillator and the method of its implementation on logic elements in order to improve its operation through simulation and an attempt to achieve optimal characteristics. Features of the implementation of a ring oscillator in the LT Spice environment using components such as a frequency divider, frequency generator, and frequency controller were also proposed.

The work investigated the operation of a frequency divider using five D-type flip-flops, from which six different frequencies were obtained (five flip-flops and one frequency at the generator output). Using LT Spice tools, time-frequency diagrams were constructed and the expected results were confirmed. The last step was to build a programmable oscillator and create a controller to set the desired frequency at the output of the device.

Keywords: CMOS transistor, ring oscillator, logic element, frequency controller, signal.